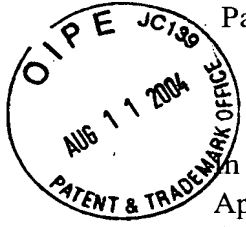


IFW



Patent

Customer No. 31561
Application No.: 10/708,175
Docket No. 11836-US-PA

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of

Applicant : Yeh
Application No. : 10/708,175
Filed : Feb 13, 2004
For : METHOD OF MANUFACTURING NMOS TRANSISTOR
WITH P-TYPE GATE
Examiner :
Art Unit : 2813

ASSISTANT COMMISSIONER FOR PATENTS
Arlington, VA22202

Dear Sirs:

Transmitted herewith is a certified copy of Taiwan Application No.: 92126145,
filed on: 2003/9/23.

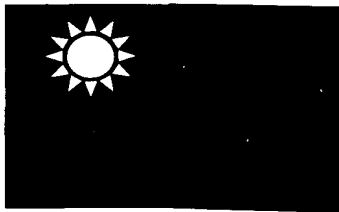
A return prepaid postcard is also included herewith.

Respectfully Submitted,
JIANQ CHYUN Intellectual Property Office

Dated: August 9, 2004

By: Belinda Lee
Belinda Lee
Registration No.: 46,863

Please send future correspondence to:
7F.-1, No. 100, Roosevelt Rd.,
Sec. 2, Taipei 100, Taiwan, R.O.C.
Tel: 886-2-2369 2800
Fax: 886-2-2369 7233 / 886-2-2369 7234



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder.

申請日：西元 2003 年 09 月 23 日
Application Date

申請案號：092126145
Application No.

申請人：茂德科技股份有限公司
Applicant(s)

BEST AVAILABLE COPY 局長
Director General

蔡練生

CERTIFIED COPY OF
PRIORITY DOCUMENT

發文日期：西元 2004 年 2 月 日
Issue Date

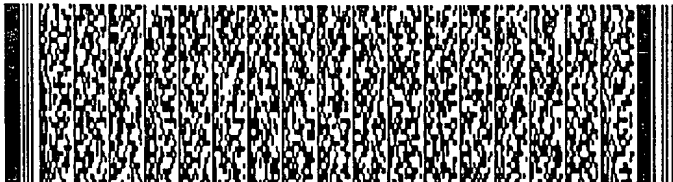
發文字號：09320158650
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	具有P型閘極之N型通道金氧半導體電晶體的製造方法
	英文	Method for Fabricating P-type Gate NMOS Transistor
二、 發明人 (共1人)	姓名 (中文)	1. 葉文源
	姓名 (英文)	1. YEH WEN YUAN
	國籍 (中英文)	1. 中華民國 TW
	住居所 (中文)	1. 新竹縣新埔鎮文山路盛都巷12弄11號
	住居所 (英文)	1. No. 11, Alley 12, Lane Shengt, Wunshan Rd., Sinpu Township, Hsinchu County 305, Taiwan (R. O. C.)
三、 申請人 (共1人)	名稱或姓名 (中文)	1. 茂德科技股份有限公司
	名稱或姓名 (英文)	1. ProMOS Technologies Inc.
	國籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中文)	1. 新竹科學工業園區力行路十九號3樓 (本地址與前向貴局申請者不同)
	住居所 (營業所) (英文)	1. 3F., No. 19, Li Hsin Rd., Science Based Industrial Park, Hsinchu, Taiwan, R. O. C.
	代表人 (中文)	1. 胡洪九
	代表人 (英文)	1. Hung-Chiu HU



11836.tif.pfd

四、中文發明摘要 (發明名稱：具有P型閘極之N型通道金氧半導體電晶體的製造方法)

一種具有P型閘極之N型通道金氧半導體電晶體的製造方法，此方法係先形成一閘介電層後，利用臨場植入法形成銦摻雜多晶矽層。接著，圖案化銦摻雜多晶矽層與閘介電層以形成閘極結構，之後於閘極結構兩側之基底中形成N型源極/汲極區，以形成P型閘極之N型通道金氧半導體電晶體。由於使用臨場植入法形成銦摻雜多晶矽層，因此可避免閘極內部晶格在製程中產生缺陷，並解決使用硼離子作為摻質所可能發生的滲透問題。

伍、(一)、本案代表圖為：第____1F____圖

(二)、本案代表圖之元件代表符號簡單說明：

100：基底

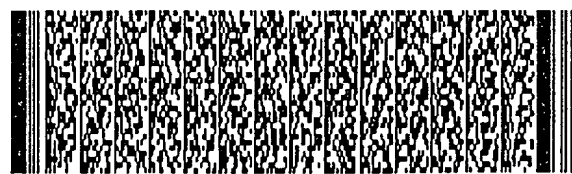
102：閘介電層

104：銦摻雜多晶矽層

106：金屬矽化物層

六、英文發明摘要 (發明名稱：Method for Fabricating P-type Gate NMOS Transistor)

A method for fabricating P-type NMOS transistor is provided. A gate dielectric layer is formed on a substrate. An indium doped polysilicon layer is formed on the gate dielectric layer using an in-situ deposition. Then, the indium doped polysilicon layer and gate dielectric layer are patterned to form a gate structure. A N-type source/drain is formed in the



四、中文發明摘要 (發明名稱：具有P型閘極之N型通道金氧半導體電晶體的製造方法)

108：閘極結構

110：淡摻雜源極/汲極

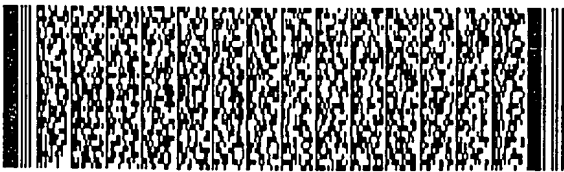
110a：濃摻雜源極/汲極

112：間隙壁

114：源極/汲極

六、英文發明摘要 (發明名稱：Method for Fabricating P-type Gate NMOS Transistor)

substrate beside the gate structure to form a P-type NMOS transistor. Since the indium doped polysilicon layer is formed by using an in-situ deposition, therefore which can prevent the crystal in the gate from defecting in the process, and solve the problem of the penetration effect for the boron positive ion.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項第一款但書或第二款但書規定之期間

日期：

四、有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

熟習該項技術者易於獲得,不須寄存。



五、發明說明 (1)

發明所屬之技術領域

本發明是有關於一種半導體元件的製造方法，且特別是有關於一種具有P型閘極之N型通道金氧半導體電晶體的製造方法。

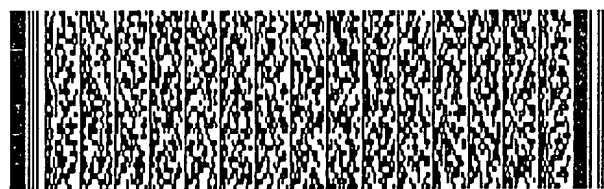
先前技術

金屬氧化半導體電晶體

(Metal-Oxide-Semiconductor Transistor, MOS) 是現在超大型積體電路 (Very Large Scale Integration, VLSI) 技術中最重要的一種基本電子元件，而所謂的金屬氧化半導體，指的就是組成MOS元件的三種基本材料，包括金屬層 (Metal)、氧化層 (Oxide) 以及半導體層 (Semiconductor) 等。而現今的MOS元件多採用多晶矽來取代舊有的金屬層來和氧化層作接觸，且將些許的雜質摻入 (Dope) 多晶矽層，以降低多晶矽層的電阻值，進而提高其導電性。因此，所謂的MOS便是由摻雜的多晶矽、二氧化矽與矽基底所組成的電子元件。

MOS元件基本上可分為三種類型，包括N型通道MOS (N-Channel MOS)、P型通道MOS (P-Channel MOS) 以及互補式 (Complementary) MOS等。其中，N型通道MOS (NMOS) 又可視多晶矽層中所摻之雜質種類而分為P型閘極NMOS與N型閘極NMOS。而在動態隨機存取記憶體 (Dynamic Random Access Memory, DRAM) 元件中，通常係採用NMOS電晶體作為存取開關 (Switch)。

今日的半導體技術正逐漸往次微米的技術發展，然



五、發明說明 (2)

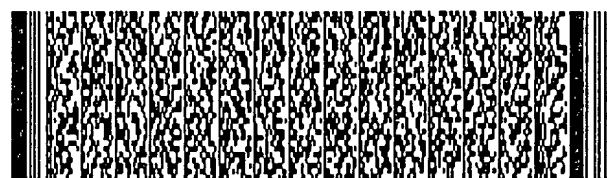
而，在逐漸縮小晶片上之元件的同時，MOS元件卻會因其中之閘極長度的縮小而引起短通道效應 (Short Channel Effects)，造成MOS元件無法正常運作。所以通常在縮小閘極之長度的同時，必須增加通道中的摻質，以抑止短通道效應的發生。但是通道中若摻入過多的摻質，又會引發另一個漏電流 (leakage current) 的問題。在應用於DRAM元件中的MOS元件若產生漏電流，可能會對DRAM元件保存資料的能力造成不當的影響。

而習知中發現，在DRAM元件中使用P型閘極NMOS可較使用N型閘極NMOS的DRAM元件減少25%的通道摻質，進而降低漏電流發生的機率，避免因漏電流現象而對DRAM元件保存資料的能力造成影響。更可以降低在基底表面下約0.04微米深處的電場。然而，習知技術的P型閘極NMOS，通常是使用硼離子作為摻質。且硼離子通常是以離子植入的方式摻於多晶矽層中，因而容易在多晶矽層中導致晶格產生缺陷，加上硼離子本身容易產生滲透的問題，於是就會對元件的效能產生不良的影響。

發明內容

因此，本發明的目的就是提供一種具有P型閘極之N型通道金氧半導體電晶體的製造方法，可有效地提升元件效能。

本發明的再一目的是提供一種具有P型閘極之N型通道金氧半導體電晶體的製造方法，能夠減少多晶矽層之晶格結構的缺陷。



五、發明說明 (3)

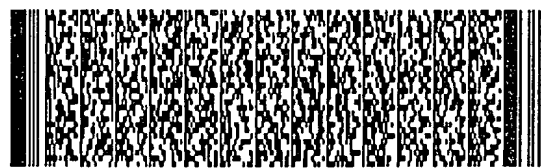
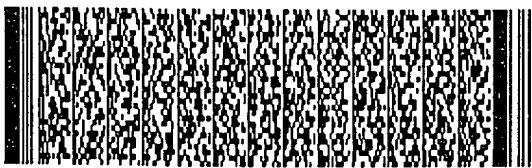
本發明提出一種具有P型閘極之N型通道金氧半導體電晶體的製造方法，此方法係首先提供基底，且於基底上形成閘介電層，再於閘介電層上形成銦摻雜多晶矽層。接著，圖案化銦摻雜多晶矽層與閘介電層以形成閘極，然後再於閘極兩側之基底中形成N型摻雜區，以形成P型閘極之N型通道金氧半導體電晶體。

而根據本發明之一較佳實施例所述，在上述方法中，更包括在閘介電層上形成銦摻雜多晶矽層之後，且在圖案化銦摻雜多晶矽層與閘介電層以形成閘極之前，於銦摻雜多晶矽層上形成金屬矽化物層。

由於本發明在多晶矽層的摻雜製程中，以銦離子代替習知所使用的硼離子，所以能夠避免因硼離子滲入基底而影響元件效能的問題。

本發明還提出一種具有P型閘極之N型通道金氧半導體電晶體的製造方法，此方法係首先提供基底，並於基底上形成閘介電層，再於閘介電層上形成銦摻雜多晶矽層，且銦摻雜多晶矽層係以氯化銦(InCl_3)作為摻雜氣體源，利用臨場植入摻質之方式，以化學氣相沈積法形成之。接著圖案化銦摻雜多晶矽層與閘介電層以形成閘極，再於閘極兩側之基底中形成N型摻雜區，以形成P型閘極之N型通道金氧半導體電晶體。

而根據本發明之一較佳實施例所述，在上述方法中更包括在閘介電層上形成銦摻雜多晶矽層之後，且在圖案化銦摻雜多晶矽層與閘介電層以形成閘極之前，於銦摻雜多



五、發明說明 (4)

晶矽層上形成金屬矽化物層。

由上述可知，本發明在形成銻摻雜多晶矽時，係採用臨場植入之方式，將銻離子摻入多晶矽層中，所以不易造成多晶矽層中晶格結構的缺陷。且本發明係採用氯化銻作為摻雜氣體源，由於氣與氧化矽間具有較佳之附著力，所以可使多晶矽層因其中之氣而與閘介電層有良好的附著力。

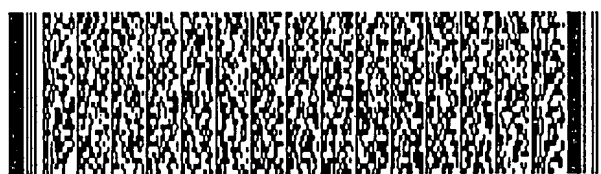
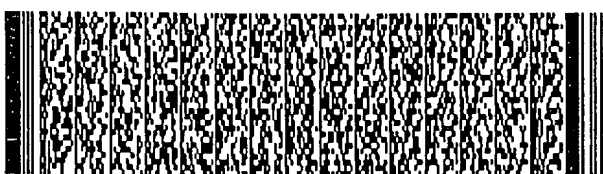
為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

實施方式

第1A圖至第1F圖係繪示本發明一較佳實施例的一種具有P型閘極之N型通道金氧半導體電晶體的製造方法之流程剖面圖。

請參照第1A圖，首先提供基底100，基底100例如是P型基底。接著，在基底100上形成一層閘介電層102 (gate dielectric layer)，而閘介電層102之材質例如是氧化矽，且其形成方法例如是熱氧化法。當然，閘介電層102之材質還可以是其他介電材料，而其形成之方法則視材料之種類而有所不同。

接著，請參照第1B圖，在閘介電層102上形成一層銻摻雜多晶矽層104後，再於銻摻雜多晶矽層104上形成一層金屬矽化物層106。其中，銻摻雜多晶矽層104形成之方法例如是先以化學氣相沈積法形成一未摻雜多晶矽層後，以



五、發明說明 (5)

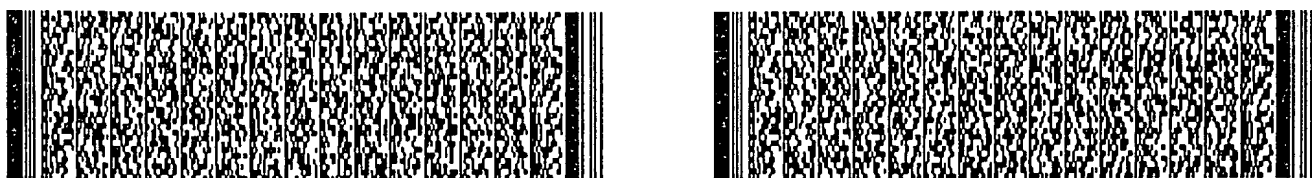
離子植入的方式將銦離子摻入未摻雜多晶矽層中而形成之，然後進行回火處理，使銦摻雜多晶矽層104中的晶格重新排列，減少其晶格中的缺陷。

當然，銦摻雜多晶矽層104的形成方法也可以利用臨場植入銦離子之方式，以化學氣相沈積法形成之。其中，化學氣相沈積製程採用之氣體源例如是氯化銦 (InCl_3) 及矽烷 (SiH_4)，而載氣體 (carrier gas) 例如是氮氣及氫氣。此製程例如是先以高於氯化銦之汽化溫度 (例如是攝氏280度) 將氯化銦由固體蒸發為氣體，再將其導入化學氣相沈積製程設備的反應室內進行反應，以在閘介電層102上沈積多晶矽時，同時將銦離子摻入多晶矽中，而直接形成銦摻雜多晶矽層104。另外，金屬矽化物層106的材質包括耐火金屬矽化物，其例如是矽化鎢。金屬矽化物層106的形成方法例如是化學氣相沈積法。

請參照第1C圖，接著圖案化閘介電層102、銦摻雜多晶矽層104以及金屬矽化物層106，進而形成閘極結構108。其中，圖案化之方法例如是微影及蝕刻製程。

請參照第1D圖，接著再於閘極結構108兩側的基底100中，分別摻入濃度較淡之N型摻質，以形成淡摻雜區110，此淡摻雜區110即作為淡摻雜汲極區 (Light Doped Drain, LDD)。其中，淡摻雜區110的形成方法例如是離子植入法。

請參照第1E圖，在閘極結構108的兩側形成間隙壁112，且間隙壁112係覆蓋住部分之淡摻雜區110。其中，



五、發明說明 (6)

間隙壁112的形成方法例如是先在基底100上以化學氣相沈積法形成一層介電層(未繪示)後,再進行非等向性蝕刻製程移除部分介電層,以形成間隙壁112。

請參照第1F圖,再分別於具有間隙壁112之閘極結構108兩側的基底100中摻入濃度較濃之N型摻質,以形成濃摻雜區110a,進而完成P型閘極之NMOS電晶體結構。其中,濃摻雜區110a的形成方法例如是離子植入法,且濃摻雜區110a與淡摻雜摻雜區110構成源極/汲極區114。

在上述之具有P型閘極之N型通道金氧半導體電晶體中,金屬矽化物層係用以降低閘極結構之電阻值,而本發明並不限定所有具有P型閘極之N型通道金氧半導體電晶體其中皆須包括金屬矽化物層,熟習此技藝者可視實際製程所需而選擇是否在銦摻雜多晶矽層上配置此金屬矽化物層。

本發明係以銦離子摻雜多晶矽層取代習知硼離子摻雜多晶矽層,而作為NMOS電晶體的閘極。由於銦離子本身並無硼離子容易滲透之特性,因此本發明之P型NMOS電晶體較習知的P型NMOS電晶體具有較優之效能。

值得注意的是,本發明係採用臨場植入之方式,利用化學氣相沈積法形成銦摻雜多晶矽層。由於以臨場植入之方式所形成之摻雜多晶矽,不必再經過回火製程,因此能夠避免因回火製程參數控制不當所造成的晶格缺陷之問題。而且,本發明使用氯化銦作為摻雜氣體源,由於氣與氧化矽間具有較好的附著力,因此可以增強銦摻雜多晶矽

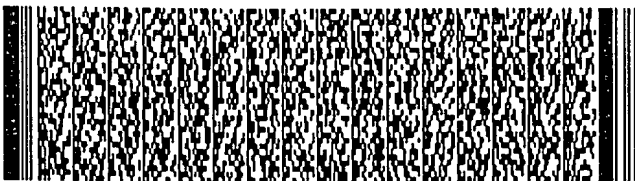


五、發明說明 (7)

層與氧化矽層（閘介電層）間的附著力。

本發明之P型閘極之N型通道金氧半導體電晶體可應用於例如是動態隨機存取記憶體（Dynamic Random Access Memory, DRAM）中，使DRAM因採用P型閘極而具有較佳之保存資料的能力，並能夠避免因硼離子的滲透問題而影響元件的效能。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

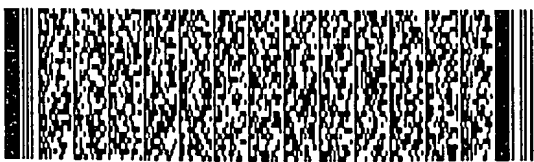


圖式簡單說明

第1A圖至第1F圖是繪示本發明之一較佳實施例的一種具有P型閘極之N型通道金氧半導體電晶體的製造方法之流程剖面圖。

【圖式標示說明】

- 100 : 基底
- 102 : 閘介電層
- 104 : 銻摻雜多晶矽層
- 106 : 金屬矽化物層
- 108 : 閘極結構
- 110 : 淡摻雜區
- 110a : 濃摻雜區
- 112 : 間隙壁
- 114 : 源極/汲極區



六、申請專利範圍

1. 一種具有P型閘極之N型通道金氧半導體電晶體的製造方法，該方法包括：

提供一基底；

於該基底上形成一閘介電層；

於該閘介電層上形成一銦摻雜多晶矽層；

圖案化該銦摻雜多晶矽層與該閘介電層以形成一閘極；以及

於該閘極兩側之該基底中形成一N型摻雜區

2. 如申請專利範圍第1項所述之具有P型閘極之N型通道金氧半導體電晶體的製造方法，其中於該閘介電層上形成該銦摻雜多晶矽層之方法包括臨場植入銦離子之化學氣相沈積法。

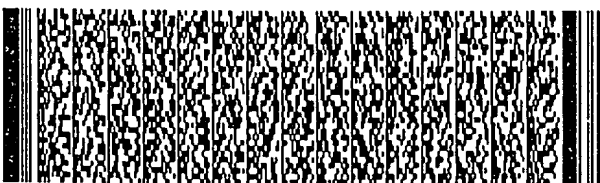
3. 如申請專利範圍第1項所述之具有P型閘極之N型通道金氧半導體電晶體的製造方法，其中於該閘介電層上形成該銦摻雜多晶矽層之方法包括：

於該閘介電層上形成一未摻雜多晶矽層；以及

於該未摻雜多晶矽層植入銦離子。

4. 如申請專利範圍第1項所述之具有P型閘極之N型通道金氧半導體電晶體的製造方法，其中於該閘介電層上形成該銦摻雜多晶矽層之後與形成該閘極之步驟之前更包括於該銦摻雜多晶矽層上形成一金屬矽化物層。

5. 如申請專利範圍第4項所述之具有P型閘極之N型通道金氧半導體電晶體的製造方法，其中於圖案化該銦摻雜多晶矽層與該閘介電層以形成該閘極之步驟中，更包括圖



六、申請專利範圍

案化該金屬矽化物層。

6. 如申請專利範圍第4項所述之具有P型閘極之N型通道金氧半導體電晶體的製造方法，其中該金屬矽化物層之形成方法包括化學氣相沈積法。

7. 如申請專利範圍第4項所述之具有P型閘極之N型通道金氧半導體電晶體的製造方法，其中該金屬矽化物層之材質包括矽化鎢。

8. 一種具有P型閘極之N型通道金氧半導體電晶體的製造方法，該方法包括：

提供一基底；

於該基底上形成一閘介電層；

於該閘介電層上形成一銦摻雜多晶矽層，該銦摻雜多晶矽層係以氯化銦(InCl₃)作為摻雜氣體源，利用臨場植入摻質之方式，以化學氣相沈積法形成之；

圖案化該銦摻雜多晶矽層與該閘介電層以形成一閘極；以及

於該閘極兩側之該基底中形成一N型摻雜區。

9. 如申請專利範圍第8項所述之具有P型閘極之N型通道金氧半導體電晶體的製造方法，其中於該閘介電層上形成該銦摻雜多晶矽層之步驟中，包括預先將氯化銦(InCl₃)蒸發，再導入反應室。

10. 如申請專利範圍第9項所述之具有P型閘極之N型通道金氧半導體電晶體的製造方法，其中預先將氯化銦(InCl₃)蒸發之溫度為280℃左右。



六、申請專利範圍

11. 如申請專利範圍第8項所述之具有P型閘極之N型通道金氧半導體電晶體的製造方法，其中於該閘介電層上形成該銻摻雜多晶矽層之後與形成該閘極之步驟之前更包括於該銻摻雜多晶矽層上形成一金屬矽化物層。

12. 如申請專利範圍第8項所述之具有P型閘極之N型通道金氧半導體電晶體的製造方法，其中於圖案化該銻摻雜多晶矽層與該閘介電層以形成該閘極之步驟中，更包括圖案化該金屬矽化物層。

13. 如申請專利範圍第8項所述之具有P型閘極之N型通道金氧半導體電晶體的製造方法，其中該金屬矽化物層之形成方法包括化學氣相沈積法。

14. 如申請專利範圍第8項所述之具有P型閘極之N型通道金氧半導體電晶體的製造方法，其中該金屬矽化物層之材質包括矽化鎢。

15. 一種具有P型閘極之N型通道金氧半導體電晶體的製造方法，該方法包括：

提供一基底；

於該基底上形成一閘介電層；

於該閘介電層上形成一銻摻雜多晶矽層；

於該銻摻雜多晶矽層上形成一金屬矽化物層；

圖案化該金屬矽化物層、該銻摻雜多晶矽層與該閘介電層以形成一閘極；以及

於該閘極兩側之該基底中形成一N型摻雜區。

16. 如申請專利範圍第15項所述之具有P型閘極之N型



六、申請專利範圍

通道金氧半導體電晶體的製造方法，其中於該閘介電層上形成一銦摻雜多晶矽層之方法包括以氯化銦(InCl_3)作為摻雜氣體源，利用臨場植入摻質之方式，以化學氣相沈積法形成之。

17. 如申請專利範圍第16項所述之具有P型閘極之N型通道金氧半導體電晶體的製造方法，其中預先將氯化銦(InCl_3)蒸發之溫度為 280°C 左右。

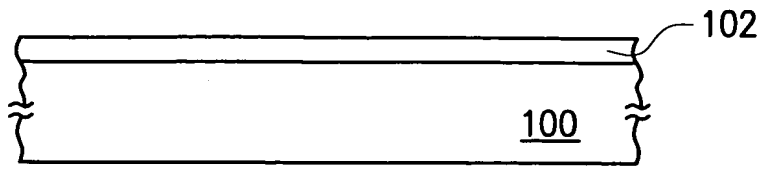
18. 如申請專利範圍第16項所述之具有P型閘極之N型通道金氧半導體電晶體的製造方法，其中於該閘介電層上形成該銦摻雜多晶矽層之方法包括：

於該閘介電層上形成一未摻雜多晶矽層；以及
於該未摻雜多晶矽層植入銦離子。

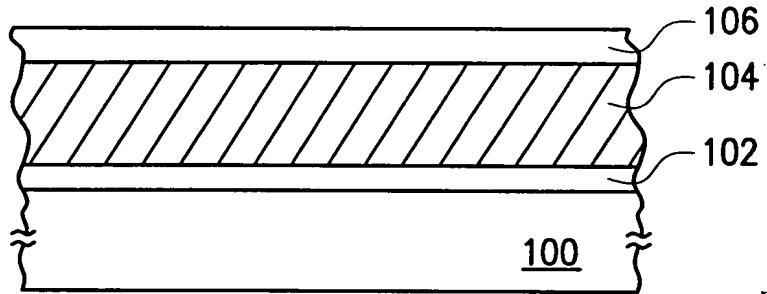
19. 如申請專利範圍第18項所述之具有P型閘極之N型通道金氧半導體電晶體的製造方法，其中於該未摻雜多晶矽層植入銦離子之步驟之後，更包括進行一回火製程與一清洗製程。

20. 如申請專利範圍第15項所述之具有P型閘極之N型通道金氧半導體電晶體的製造方法，其中該金屬矽化物層之材質包括矽化鎢。

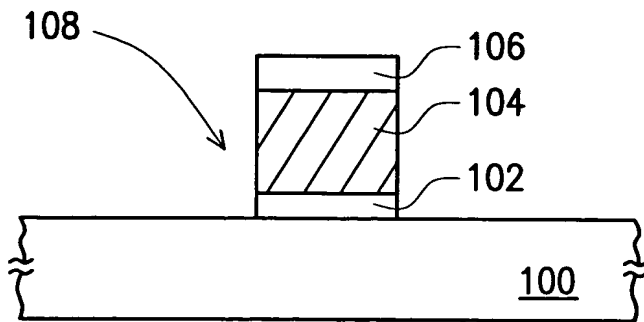




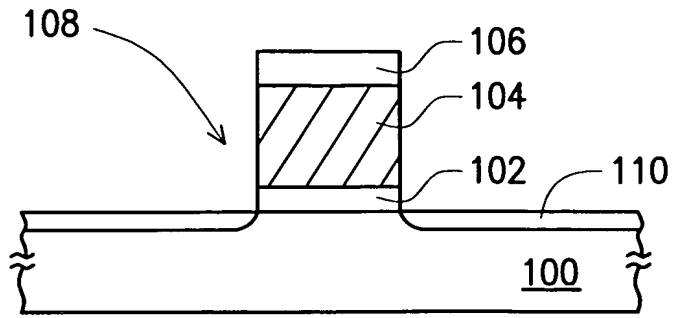
第 1A 圖



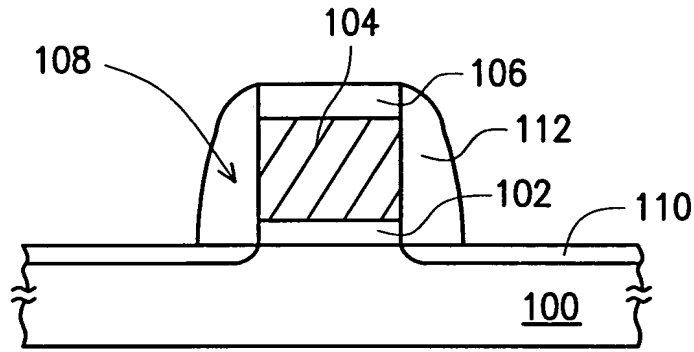
第 1B 圖



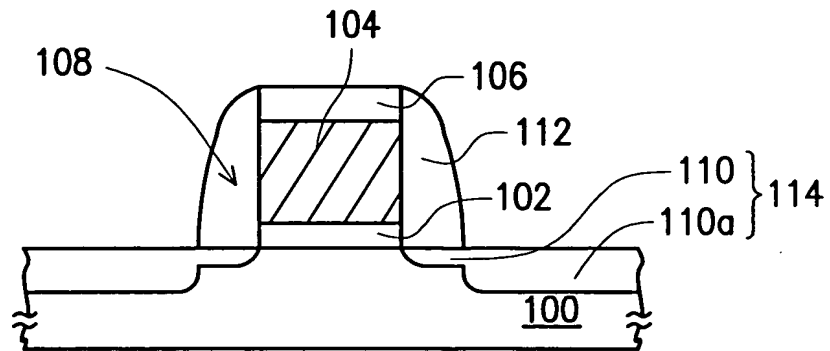
第 1C 圖



第 1D 圖

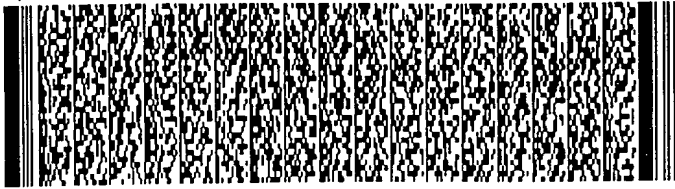


第 1E 圖



第 1F 圖

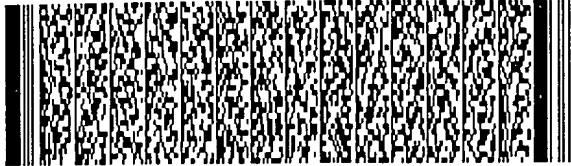
第 1/16 頁



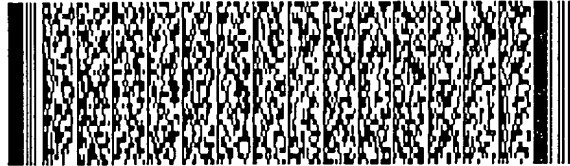
第 2/16 頁



第 2/16 頁



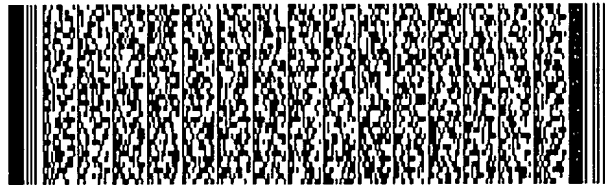
第 3/16 頁



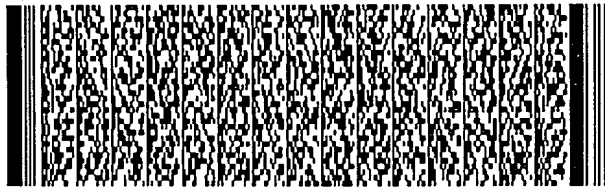
第 4/16 頁



第 5/16 頁



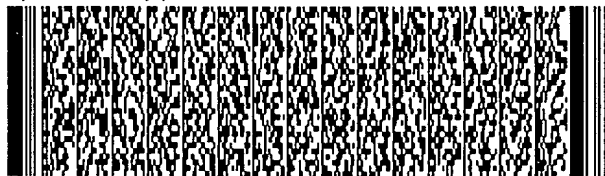
第 5/16 頁



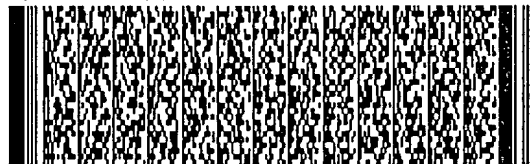
第 6/16 頁



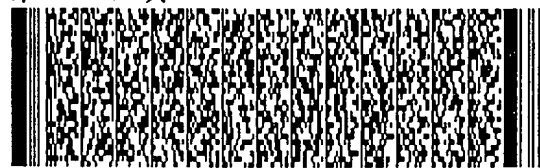
第 6/16 頁



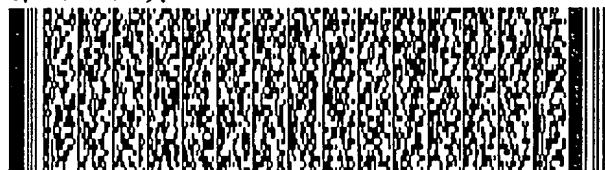
第 7/16 頁



第 7/16 頁



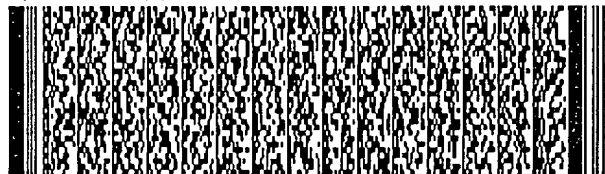
第 8/16 頁



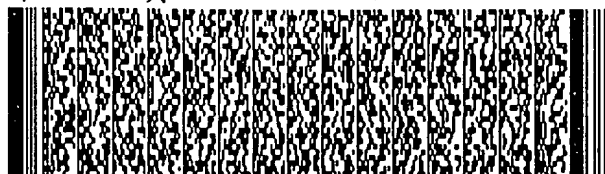
第 8/16 頁



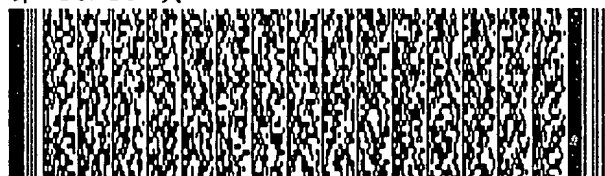
第 9/16 頁



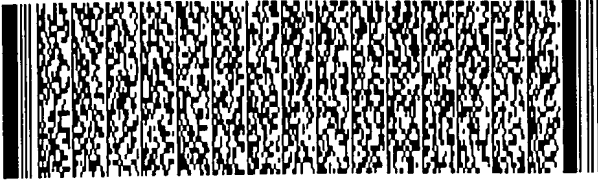
第 9/16 頁



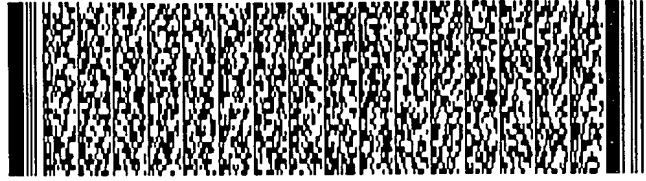
第 10/16 頁



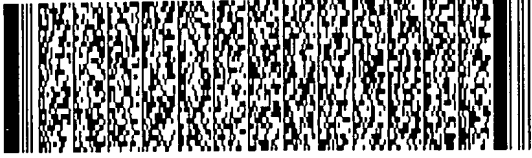
第 10/16 頁



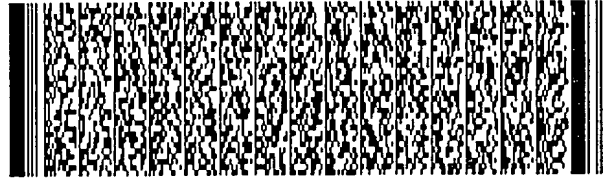
第 11/16 頁



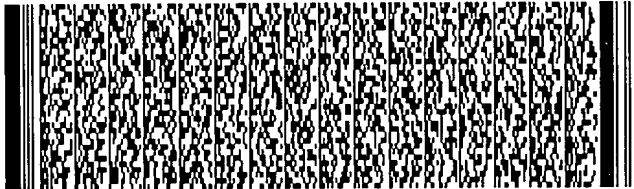
第 12/16 頁



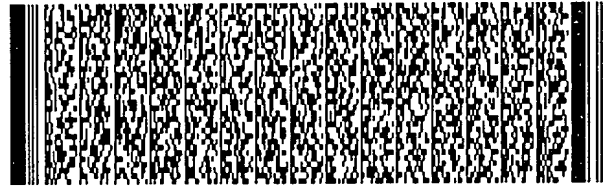
第 13/16 頁



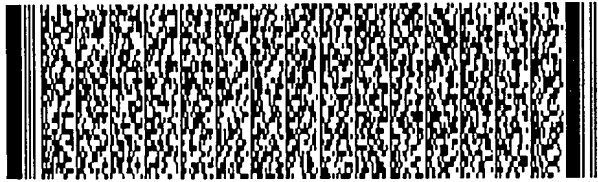
第 14/16 頁



第 15/16 頁



第 16/16 頁



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT OR DRAWING
- BLURRED OR ILLEGIBLE TEXT OR DRAWING
- SKEWED/SLANTED IMAGES
- COLOR OR BLACK AND WHITE PHOTOGRAPHS
- GRAY SCALE DOCUMENTS
- LINES OR MARKS ON ORIGINAL DOCUMENT
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.